

### 特点

- 单芯片、半双工 1200bps FSK 调制解调器
- 符合 HART 通信协议物理层要求
- 符合 Bell202 标准载波 1200Hz 和 2200Hz
- HART 波形整形输出具有额外驱动能力
- 数字信号处理确保可靠的输入信号检测
- UART 接口
- 工作电压 2.7V~3.6V
- 低功耗,调制模式下最大功耗为 85μA
- -55°C 至 +125°C 工作温度范围
- 20 引脚 5mm x 5mm x 0.75mm TQFN 封装
- 满足 RoHS 环保要求

### 描述

SD2085 是一款专为实现 HART 协议而设计的 CMOS 单片调制解调器芯片,用于支持 HART 协议的现场仪表和控制器中。器件集成了所有必要的滤波、信号检测、调制、解调及 HART 信号波形整形等功能,所以芯片只需少量外围无源元件,即可满足 HART 物理层规范功能要求。

SD2085 使用相位连续的频移键控 FSK 技术,传输速率为 1200 位/秒,采用半双工通信,符合 HART 协议物理层要求。芯片调制模式的最大电源电流在 3.6V 电压及外部 3.6864MHz 时钟下为 85μA。

HART 输入信号通过模数转换器(ADC)采样,然后进行数字滤波与解调,该架构确保在干扰环境下能进行可靠的信号检测。数模转换器 (DAC)输出产生频率为 1200Hz 和 2200Hz 的相位连续梯形波。

由于 SD2085 具有丰富的集成模块,所需外围元件少,并采用 5mm x 5mm 的 QFN 封装,可极大节省电路板空间,因此非常适合主机和从机配置下的低功耗环路供电型应用。

### 订购信息

封装形式	订货名称
QFN20 5mm x 5mm	SD2085

### 管脚图和管脚描述

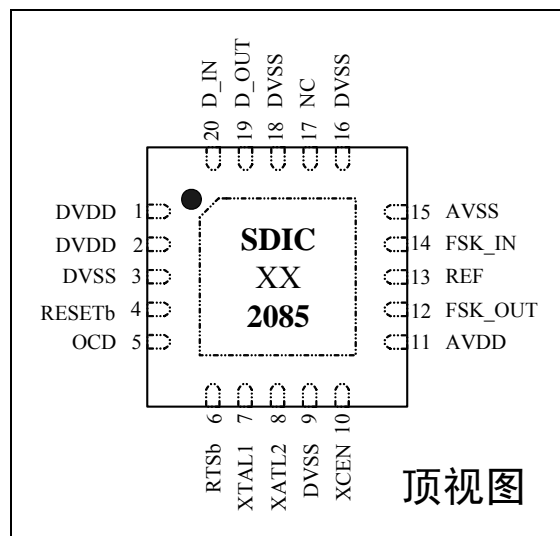


图 1. QFN20 管脚图

表 1. 管脚描述

序号	管脚名称	属性	管脚描述
1, 2	DVDD	数字电源	数字电源，应与 AVDD 同一电压。
3, 9, 16, 18	DVSS	数字地	数字地，应将此引脚连接到 AVSS。
4	RESETb	数字输入	芯片复位，低电平有效。
5	OCD	数字输出	载波检测，高电平表示 FSK_IN 载波有效。
6	RTSb	数字输入	发送请求，低电平使能调制器并禁用解调器，芯片处于发送模式；高电平使能解调器并禁用调制器，芯片处于接收模式。
7	XTAL1	模拟输入	外部 3.6864MHz 晶振连接端或外部时钟源输入端。
8	XTAL2	模拟输出	外部 3.6864MHz 晶振连接端，如果使用外部时钟源，此引脚需悬空。
10	XCEN	数字输入	晶振电路使能，低电平有效。
11	AVDD	模拟电源	模拟电源。
12	FSK_OUT	模拟输出	HART FSK 信号输出端，连接到 4-20 毫安电流环回路。
13	REF	模拟输出	内部 1.5V 基准电压输出端。应接 1 $\mu$ F 电容至 AVSS。
14	FSK_IN	模拟输入	HART FSK 信号输入端，信号来自 4-20 毫安电流环回路端口。
15	AVSS	模拟地	模拟电路地。
17	NC	-	悬空引脚，可接 DVDD 或 DVSS。
19	D_OUT	数字输出	解调后的 HART 数据，送到外部 UART 接口。
20	D_IN	模拟输入	待发送数据，即调制器的数据输入端，调制后经 FSK_OUT 发送。
EPAD	AVSS	模拟地	模拟电路地。对于典型应用，连接到 #15 引脚。

## 功能描述

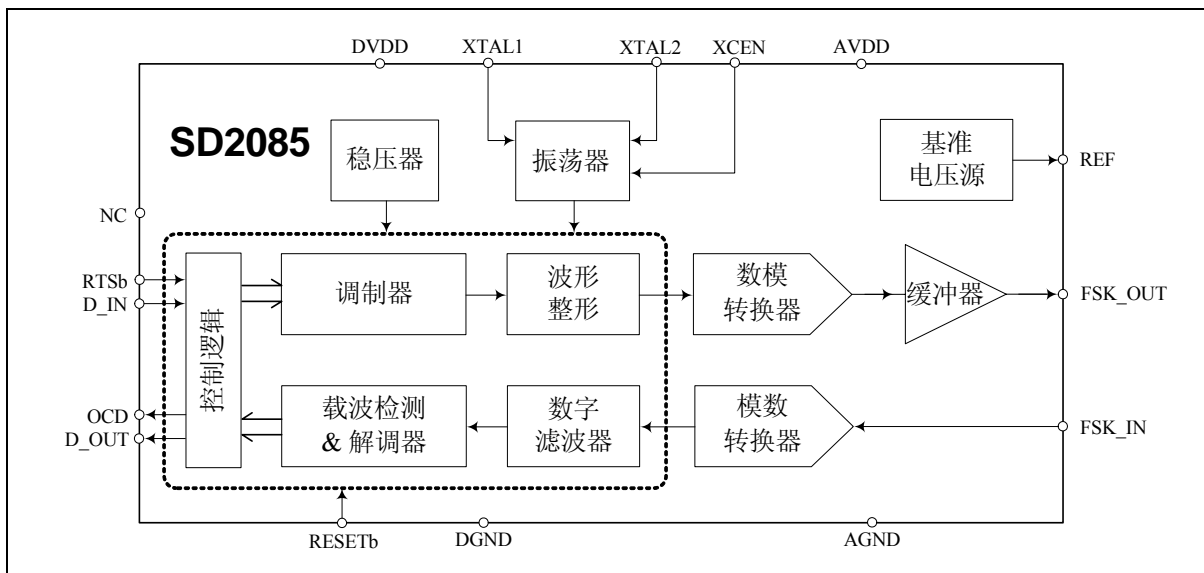


图 2. 功能框图

图 2 是 SD2085 的功能模块框图，SD2085 是一款单芯片、低功耗、HART FSK 半双工调制解调器，符合 HART 物理层要求。

内部集成了用于发送数据的调制器、波形整形器、DAC、HART 输出缓冲器，用于接收数据的 ADC、数字滤波器、解调器、载波检

测电路。另外，还内置基准电压源、晶振振荡器电路和供数字电路电源的 LDO。由于具有这样丰富的集成选项，因此所需外部元件极少，非常适合 HART 现场仪表和主机配置。

SD2085 能够发送或接收 1200Hz 和 2200Hz FSK 信号，如图 3 所示，1200Hz 信号表示数字“1”，2200Hz 信号表示数字“0”，比特率为 1200 位/秒。

器件支持外部晶振和 CMOS 时钟输入两种时钟配置。

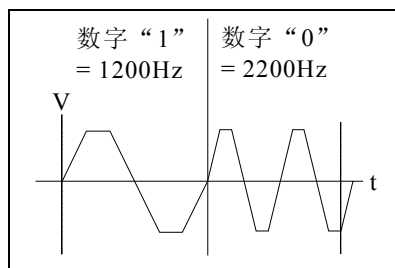


图3. HART FSK 信号

### FSK 调制器

当RTSb信号设为低电平，SD2085处于发送模式，调制器通过波形整形电路，将D\_IN输入端的非归零制(NRZ)数字信号，转换成一系列1200Hz和2200Hz符合HART协议要求、相位

连续的梯形波，在内部通过缓冲器输出至 FSK\_OUT 引脚。FSK\_OUT 输出的梯形波摆幅为 0.5V~1.0V，直流电平为 0.75V。

输入 D\_IN 的信号是一个标准的 UART 帧，如图 4 所示，该帧包含一个起始位、8 位数据、一个奇偶校验和一个停止位。

FSK\_OUT 引脚驱动纯容性负载时，负载应在 4.7nF 至 68nF 范围之内，容性负载越大，SD2085 需要消耗更多的电流，表 3 中的功耗规格是基于 FSK\_OUT 驱动 4.7nF 容性负载的情况。

如果需要驱动带有阻性元件的负载，建议在 FSK\_OUT 引脚和地之间连接一个 22nF 电容，而阻性负载应通过一个 2.2μF 串联电容进行耦合隔直。对于低阻抗器件，阻性负载 R<sub>LOAD</sub> 范围通常为 200Ω 至 600Ω，具体的连接如图 5 所示。

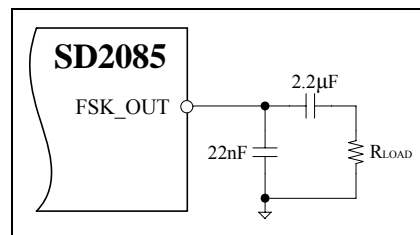


图5. FSK\_OUT 驱动阻性负载

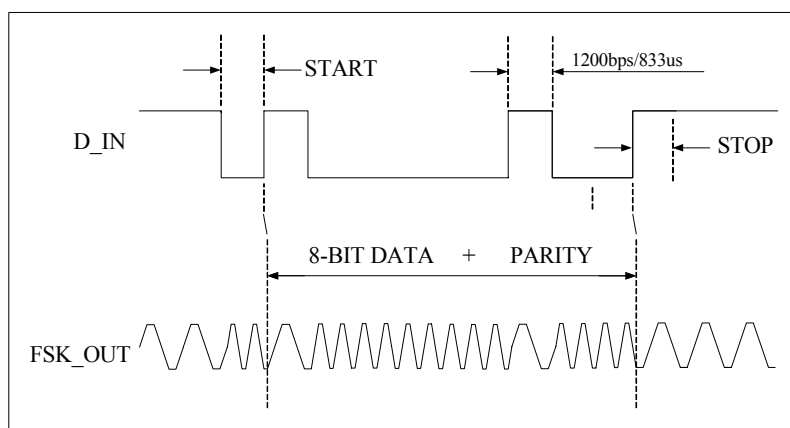


图4. SD2085 调制波形图

## FSK 解调器

当RTSb信号设为高电平，SD2085处于接收模式。HART信号通过外部带通滤波器进行抗混叠滤波之后到达FSK\_IN，OCD高电平表示检测到载波有效，解调器接收FSK\_IN的FSK信号，通过ADC、数字滤波和数字解调器，最终在D\_OUT上恢复出原始信号，并在此引脚输出到外部UART。

外部带通滤波器配置如图6所示。输入端包含200 kΩ电阻，将电流限制在足够低水平。这种情况下，输入端具有很高的瞬态电压保护能力，即使在要求最苛刻的工业环境中，也无需额外的保护电路。假设电阻精度选择1%，电容精度选择10%，构成的滤波器对载波检测影

响仍可忽略。

HART位流是一个标准的UART帧，如图7所示，该帧包含一个起始位、8位数据、一个奇偶校验和一个停止位。

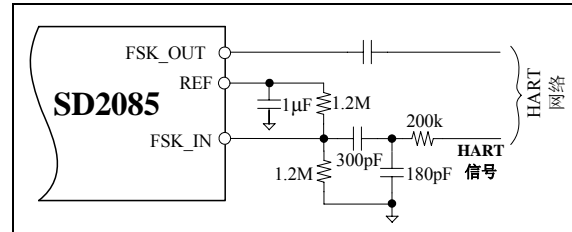


图6. SD2085外部带通滤波器连接

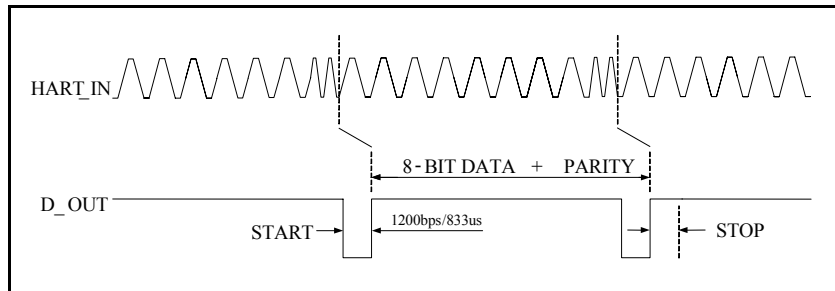


图7. SD2085解调波形图

## 时钟配置

SD2085提供两种时钟配置选项：外部晶振和CMOS时钟输入。

外部晶振的典型连接如图8所示，将XCEN置为低电平，晶振采用3.6864MHz。晶振和电容应尽量靠近SD2085。

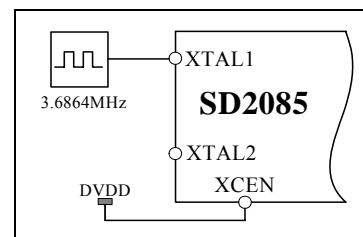


图9. 外灌CMOS时钟连接

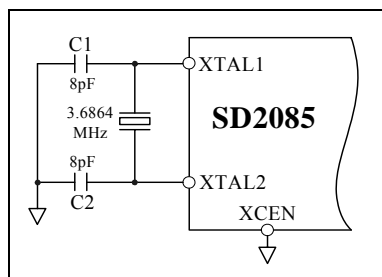


图8. 晶振连接

CMOS时钟典型连接如图9所示，将XCEN置为高电平，并将3.6864MHz外部时钟源连至XTAL1引脚，而XTAL2引脚保持开路状态。

## 省电模式

RESETb设为低电平时，SD2085内部电路全部复位，并置于省电模式。在此模式下，接收、发送和振荡器全部关断，器件的最大功耗为5μA。

RESETb变成高电平时，SD2085即返回上电状态。若不使用复位功能，此引脚可以固定接到DVDD。

## 使用SD2085

### 典型应用图

图10显示利用SD2085与SD2421(4-20mA环路供电型DAC)实现的带HART协议的智能变送器典型应用电路。该电路极大简化了系统设计,增强了可靠性并减少了整体PCB尺寸。电源通过并联的1 $\mu$ F电容和0.1 $\mu$ F电容去耦至地, REF引脚接1 $\mu$ F电容去耦至地, FSK\_IN引脚接1.2M电阻和300pF电容, D\_IN引脚接1.2M电阻和180pF电容。

HART信号从电流环LOOP+端进入智能变送器,经过外围带通滤波到达HART调制解调

器SD2085的FSK\_IN引脚, SD2085将信号解调并经D\_OUT引脚传输到微处理器。

要发送HART数据时,微处理器将逻辑信号传至SD2085的D\_IN引脚, SD2085进行调制以及波形整形后,经FSK\_OUT引脚和C<sub>C</sub>耦合至SD2421的C3引脚上,再通过SD2421发送到电流环路上。

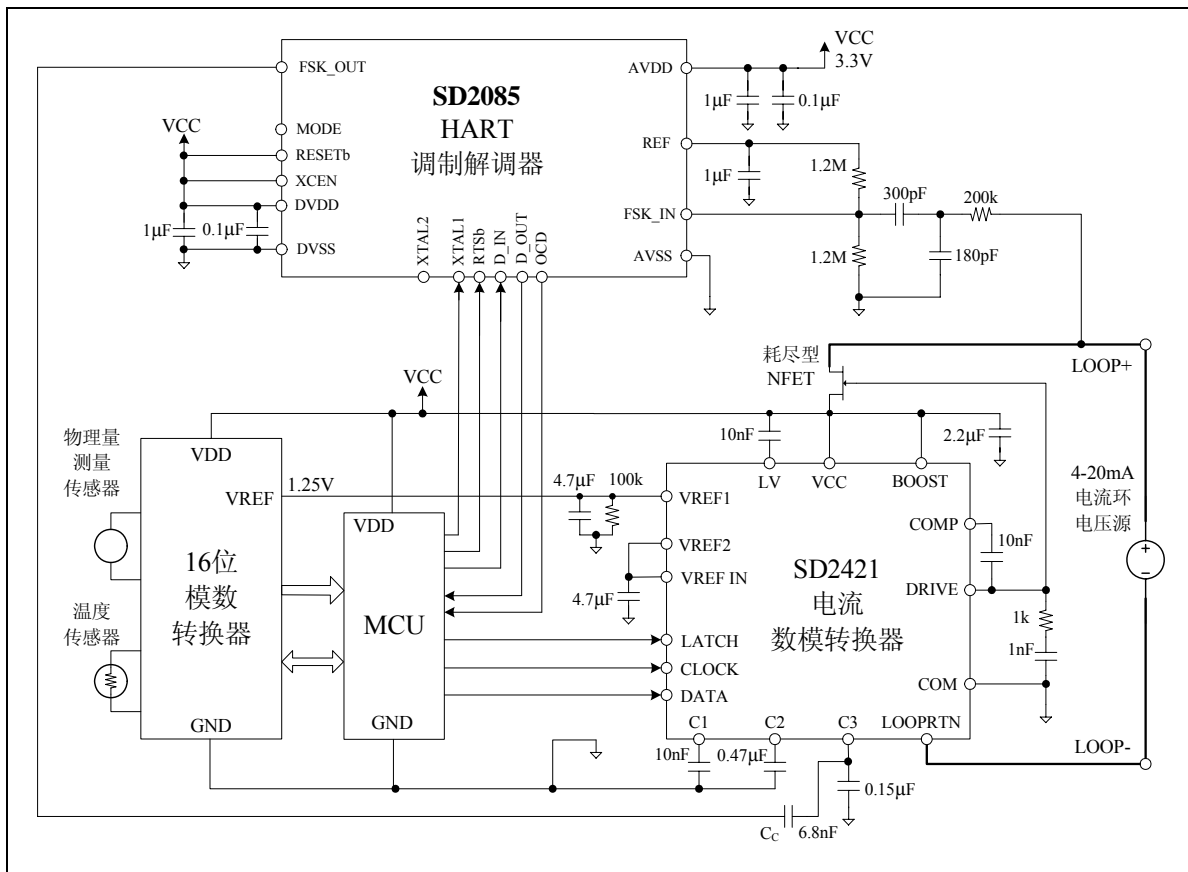


图10. 带HART数字通信功能的典型4-20mA智能变送器

## 电气特性

表 2. 极限参数

Symbol	Parameter	Minimum	Maximum	Unit
T <sub>A</sub>	工作温度	-55	+125	°C
T <sub>S</sub>	储存温度	-65	+150	°C
AVDD 至 AVSS	模拟供电电压	-0.3	+7.0	V
DVDD 至 DVSS	数字供电电压	-0.3	+7.0	V
AVSS 至 DVSS	模拟数字电源地	-0.3	+0.3	V
模拟输入至 AVSS	模拟端口偏压	-0.3	AVDD+0.3 或+7(取较小者)	V
数字输入至 DVSS	数字端口偏压	-0.3	DVDD+0.3 或+7(取较小者)	V
TL	回流焊温度曲线		参考 IPC/JEDECJ-STD-020C	°C
ESD	人体模型	4000		V
	机械模型	400		V

注意:

1. CMOS 器件易被高能静电损坏, 芯片必须储存在导电泡沫, 注意避免工作电压超出范围。
2. 在插拔芯片前请关闭电源。

表 3. 电气参数 (除非另有说明, AVDD/DVDD=+2.7V~+3.6V; T<sub>A</sub>=-55°C~+125°C; AVSS/DVSS=0V; 外部晶振, XTAL1/XTAL2 分别对地接 8pF 电容; FSK\_OUT 带 4.7nF 负载。)

标识	参数名称	最小值	典型值	最大值	单位	条件/备注
AVDD DVDD	电源电压	2.7	3.3	3.6	V	
IDD1	AVDD 和 DVDD 功耗 解调模式		97	125	μA	外部时钟、-55°C 至+85°C
				130	μA	外部时钟、-55°C 至+125°C
			125	500		外部晶振、-55°C 至+85°C
				550		外部晶振、-55°C 至+125°C
	AVDD 和 DVDD 功耗 调制模式		67	80	μA	外部时钟、-55°C 至+85°C
				85	μA	外部时钟、-55°C 至+125°C
		95	450		外部晶振、-55°C 至+85°C	
			500		外部晶振、-55°C 至+125°C	
IDD0	省电模式功耗		2.5	5	μA	
V <sub>REF</sub>	初始精度	1.48	1.5	1.52	V	
V <sub>REF</sub> OCD 位 置	负载调整率		1.5		ppm/μA	利用 500μA 负载测试
	电压调整率		60		μV/V	
	载波有效幅度	90	105	115	mVp-p	
FSK_IN	输入范围	0		1.5	V	
FSK_OUT T	输出幅度		500		mVp-p	
FSK_OUT 外部时钟	逻辑“1”频率		1200		Hz	
	逻辑“0”频率		2200		Hz	
	相位连续性误差			0	度	
	最大阻性负载		160		Ω	负载如图 5 所示的 R <sub>LOAD</sub>
	频率精度	3.6496	3.6864	3.7232	MHz	

数字输入参数						
$V_{IH}$	逻辑高电平	$0.7 \cdot DVDD$			V	
$V_{IL}$	逻辑低电平			$0.3 \cdot DVDD$	V	
$I_{IH}$	高电平电流			$\pm 0.1$	$\mu A$	
$I_{IL}$	低电平电流			$\pm 0.1$	$\mu A$	
$t_1$	载波起始时间			0.3	位时间 <sup>1</sup>	从 RTSb 下降沿到载波到达第一个波峰的时间。参考图 11。
$t_2$	载波停止时间			1	位时间 <sup>1</sup>	从 RTSb 上升沿到载波幅度降至最小接收幅度以下的时间。参考图 12。
$t_3$	载波衰减时间			1	位时间 <sup>1</sup>	从 RTSb 上升沿到载波幅度降至交流零的时间。参考图 12。
$t_4$	载波检测开启			6	位时间 <sup>1</sup>	从载波开启到 OCD 上升沿的时间。参考图 13。
$t_5$	载波检测关闭			6	位时间 <sup>1</sup>	从载波关闭到 OCD 下降沿的时间。参考图 14。

说明:

1. 位时间是指传输一位数据所需的时间长度，即 1 个位时间 =  $1/1200\text{Hz} = 833.333\mu\text{s}$ 。

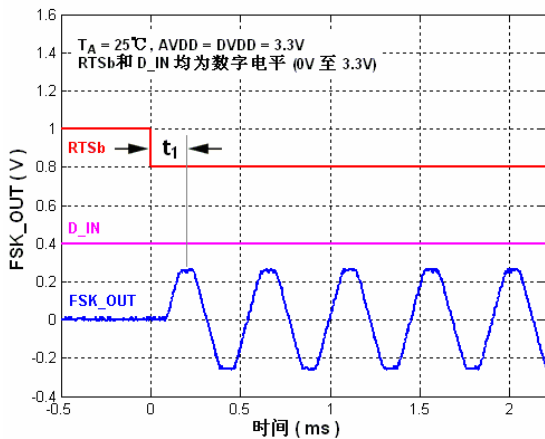


图 11. 载波起始时间

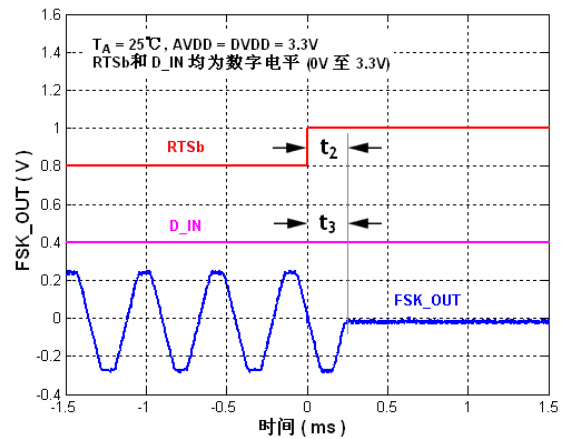


图 12. 载波停止/衰减时间

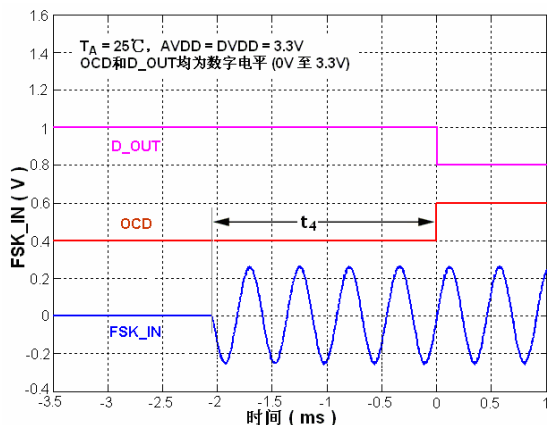


图 13. 载波检测开启时序

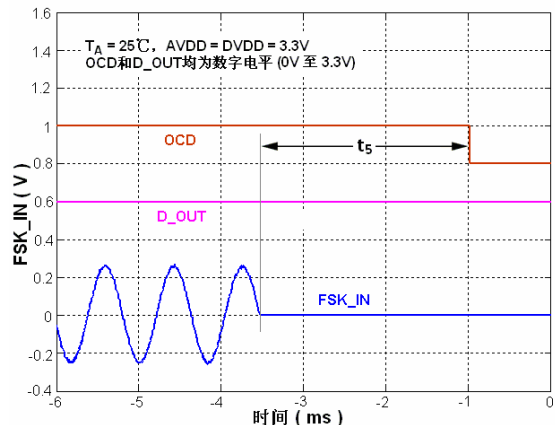
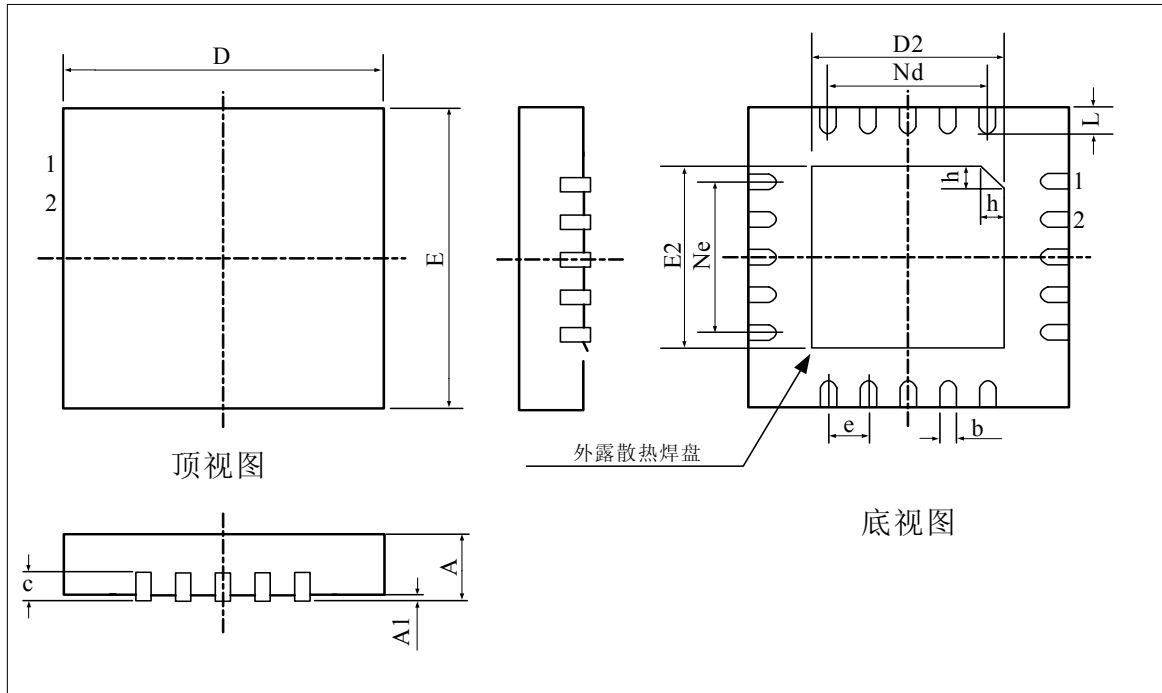


图 14. 载波检测关闭时序

**封装规格**


尺寸：毫米 (mm)

标识	最小值	典型值	最大值
A	0.70	0.75	0.80
A1	—	0.02	0.05
b	0.25	0.30	0.35
c	0.18	0.20	0.25
D	4.90	5.00	5.10
D2	3.05	3.15	3.25
E	4.90	5.00	5.10
E2	3.05	3.15	3.25
e	0.65BSC		
Ne	2.60BSC		
Nd	2.60BSC		
L	0.45	0.55	0.65
h	0.30	0.35	0.40

图 15. QFN20 封装外形图